

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-089933

(43)Date of publication of application : 31.03.2000

(51)Int.Cl.

G06F 7/00
H04B 1/707

(21)Application number : 10-261610

(71)Applicant : DENSO CORP
NIPPON SOKEN INC

(22)Date of filing : 16.09.1998

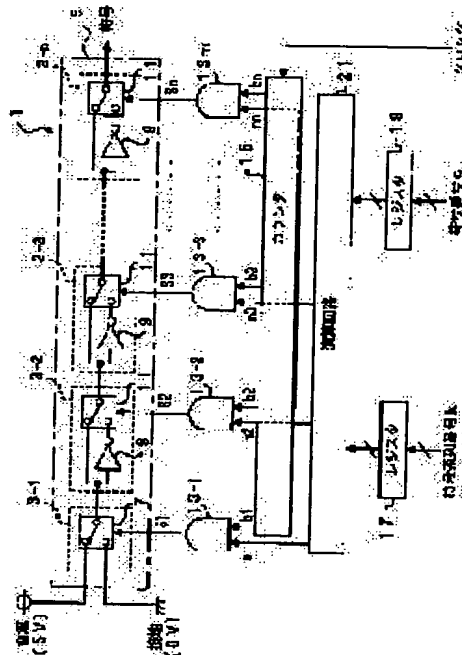
(72)Inventor : AONO TAKAYUKI
ITO TAKAFUMI
HATTORI TOSHIHIRO

(54) CODE GENERATOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a code generator capable of generating an optional orthogonal code with a small scale circuit.

SOLUTION: The code generator is provided with a selection circuit 3-1 for outputting a signal S1 for outputting/selecting positive logic/negative logic, n-1 selection circuits 3-2 to 3-n connected to the circuit 3-1 in series and capable of switching non-inverted output operation for outputting an input signal and inverted output operation for inverting and outputting the logic of the input signal in accordance with respective output/selection signal S2 to Sn, an AND gates 13-1 to 13-n for outputting an AND signal between two input signals to respective selection circuits 3-1 to 3-n as the output/selection signals S1 to Sn, and a 2n-ary counter 15 and respective bits b1 to be in an n-bit output from the counter 15 are supplied to one-side input terminals of respective AND gates 13-1 to 13-n. Therefore a required orthogonal code can be outputted from the final selection circuit 3-n by properly supplying binary signals m1 to mn to the other input terminals of respective AND gates 13-1 to 13-n.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開2000-89933

(P2000-89933A)

(43)公開日 平成12年3月31日(2000.3.31)

(51)Int.Cl. ⁷	識別記号	FI	テーマコード(参考)
G 0 6 F 7/00		G 0 6 F 7/00	A 5 B 0 2 2
H 0 4 B 1/707		H 0 4 J 13/00	D 5 K 0 2 2

審査請求 未請求 請求項の数7 OL (全11頁)

(21)出願番号 特願平10-261610

(22)出願日 平成10年9月16日(1998.9.16)

(71)出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(71)出願人 000004695

株式会社日本自動車部品総合研究所

愛知県西尾市下羽角町岩谷14番地

(72)発明者 青野 孝之

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(74)代理人 100082500

弁理士 足立 勉

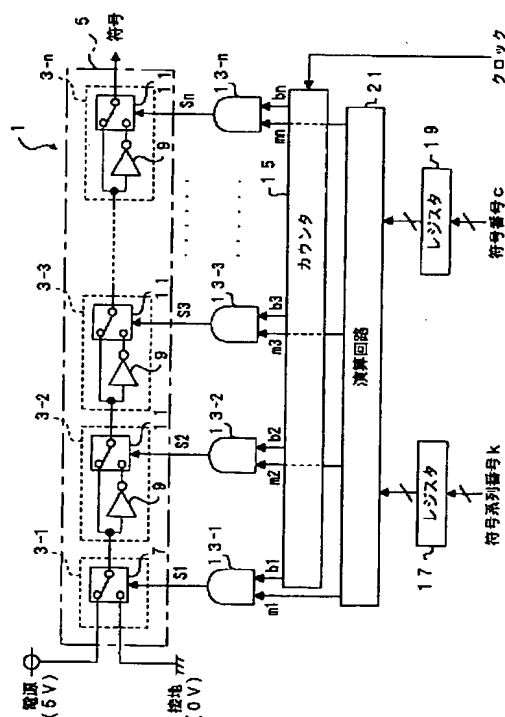
最終頁に続く

(54)【発明の名称】 符号生成器

(57)【要約】

【課題】 小規模な回路で任意の直交符号を生成可能な符号生成器を提供する。

【解決手段】 符号生成器1は、正論理/負論理を出力選択用の信号S1に応じて出力する選択回路3-1と、その選択回路3-1の次段に直列に接続され、入力信号を出力する非反転出力動作と入力信号の論理を反転させて出力する反転出力動作とが出力選択用の各信号S2～Snに応じて切り替えられるn-1個の選択回路3-2～3-nと、2つの入力信号の論理積信号を上記各選択回路3-1～3-nへ上記出力選択用の信号S1～Snとして出力するn個のアンドゲート13-1～13-nと、2ⁿ進カウンタ15とを備え、カウンタ15のnビット出力の各ビットb1～bnが、各アンドゲート13-1～13-nの一方の入力端子に供給されている。このため、各アンドゲート13-1～13-nの他方の入力端子に二値信号m1～mnを適宜供給すれば、最終段の選択回路3-nから所望の直交符号が出力される。



【特許請求の範囲】

【請求項1】 正論理を表す二値信号と負論理を表す二値信号とを、外部から与えられる出力選択用二値信号に応じて択一的に出力する第1の選択回路と、

該第1の選択回路の次段に直列に接続され、入力される二値信号をそのまま出力する非反転出力動作と前記入力される二値信号の論理を反転させて出力する反転出力動作とが、外部から与えられる出力選択用二値信号に応じて切り替えられる $n-1$ 個の第2の選択回路と、

第1入力端子及び第2入力端子を有すると共に、前記第1の選択回路及び前記 $n-1$ 個の第2の選択回路からなる n 個の選択回路の各々に対応して設けられ、前記第1入力端子に入力される出力許可用二値信号が出力許可を表す方の論理である場合に、前記第2入力端子に入力される二値信号を自己に対応する選択回路へ前記出力選択用二値信号として出力し、前記出力許可用二値信号が出力禁止を表す方の論理である場合には、前記第2入力端子に入力される二値信号に拘わらず、自己に対応する選択回路へ出力する前記出力選択用二値信号の論理を予め定められた一方の論理に保持する n 個の論理回路と、前記各論理回路の第2入力端子へ周期的に論理が反転する二値信号を出力する手段であって、前記 n 個の選択回路のうちで1段目から数えて x 段目（但し、 x は1から n までの各々の整数）の選択回路に対応する論理回路の第2入力端子へは、クロックに同期し且つ該クロックの周期の 2^{x-1} 倍の時間毎に論理が反転する二値信号を出力する信号出力手段とを備え、

生成すべき符号に応じて、前記各論理回路の第1入力端子へ、出力許可と出力禁止との何れかを表す論理の前記出力許可用二値信号を供給することにより、前記 n 個の選択回路のうちの最終段の選択回路から前記生成すべき符号を出力させるように構成されたこと、

を特徴とする符号生成器。

【請求項2】 請求項1に記載の符号生成器において、前記信号出力手段は、前記クロックに同期して0から 2^n-1 までを繰り返しカウントし、そのカウント値を表す n ビットの出力信号の各ビットを、前記各論理回路の第2入力端子へ、前記1段目の選択回路に対応する論理回路からの順に供給する 2^n 進カウンタからなること、

を特徴とする符号生成器。

【請求項3】 請求項1又は請求項2に記載の符号生成器において、前記第2の選択回路は、前記入力される二値信号の論理を反転させるインバータと、前記入力される二値信号と前記インバータの出力との何れか一方を前記出力選択用二値信号に応じて択一的に出力するセレクタとから構成されていること、

を特徴とする符号生成器。

【請求項4】 請求項1ないし請求項3の何れかに記載の符号生成器において、

前記第1の選択回路は、

2つの入力端子のうちの一方の入力端子が正論理を表す第1の電圧に接続されると共に、他方の入力端子が負論理を表す第2の電圧に接続され、前記第1の電圧と前記第2の電圧との何れか一方を前記出力選択用二値信号に応じて択一的に出力する切替回路であること、

を特徴とする符号生成器。

【請求項5】 請求項1ないし請求項4の何れかに記載の符号生成器において、

生成すべき符号のビット数を特定する第1情報と、前記生成すべき符号におけるビットの並びを特定する第2情報とを入力し、その第1情報と第2情報とに基づき、前記各論理回路の第1入力端子へ前記出力許可用二値信号を供給する演算回路を備えたこと、

を特徴とする符号生成器。

【請求項6】 請求項1ないし請求項5の何れかに記載の符号生成器において、

前記論理回路は、

前記第1入力端子と前記第2入力端子とに夫々入力される両信号の論理積信号を、前記出力選択用二値信号として出力する論理積回路であること、

を特徴とする符号生成器。

【請求項7】 請求項5に記載の符号生成器において、前記論理回路は、

前記第1入力端子と前記第2入力端子とに夫々入力される両信号の論理積信号を、前記出力選択用二値信号として出力する論理積回路であり、

前記演算回路は、

前記第1情報として、生成すべき符号のビット数を 2^k （但し、 k は1から n までの整数）で表した場合の前記整数 k を入力すると共に、前記第2情報として、0から 2^k-1 までの何れかの整数である符号番号を入力し、更に、前記符号番号から予め定められた規則に基づき k ビットのデータを生成すると共に、その k ビットのデータの上位ビット側に全ビットが0である $n-k$ ビットのデータを連結することにより、生成すべき符号に対応した n ビットのデジタルデータを発生させ、その n ビットのデジタルデータの各ビットを、前記各論理回路の第1入力端子へ、前記1段目の選択回路に対応する論理回路からの順に供給するよう構成されていること、

を特徴とする符号生成器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、直交符号を生成するための符号生成器に関する。

【0002】

【従来の技術】直交符号は、デジタル情報の暗号化やスペクトラム拡散通信における拡散符号など、広い分野で

利用されている。特に、この種の直交符号として有名なものが、 $2^k \times 2^k$ のアダマール行列 H_k の行ベクトルとして定義される符号であり、こうしたアダマール行列 H_k から導かれる直交符号は、疑似ランダム符号などの雑音源としても利用されている。

【0003】尚、アダマール行列 H_k の一般式は、文献「スペクトル拡散通信システム：科学技術出版社・横山光雄著」等に記載されているように、下記の式1で表される。

【0004】

【数1】

$$H_k = \begin{bmatrix} H_{k-1} & H_{k-1} \\ H_{k-1} & \overline{H_{k-1}} \end{bmatrix} \quad \cdots \text{式1}$$

【0005】従って、1番目の階層の行列 H_1 を下記の式2とすると、2番目の階層の行列 H_2 は式3のように

$$H_2 = \begin{bmatrix} H_1 & H_1 \\ H_1 & \overline{H_1} \end{bmatrix} = \begin{bmatrix} 1 & 1 & 1 & 1 \\ 1 & 0 & 1 & 0 \\ 1 & 1 & 0 & 0 \\ 1 & 0 & 0 & 1 \end{bmatrix} = \begin{bmatrix} C_0 \\ C_1 \\ C_2 \\ C_3 \end{bmatrix} \quad \cdots \text{式3}$$

【0008】

$$H_3 = \begin{bmatrix} H_2 & H_2 \\ H_2 & \overline{H_2} \end{bmatrix}$$

$$= \begin{bmatrix} 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 \\ 1 & 0 & 1 & 0 & 1 & 0 & 1 & 0 \\ 1 & 1 & 0 & 0 & 1 & 1 & 0 & 0 \\ 1 & 0 & 0 & 1 & 1 & 0 & 0 & 1 \\ 1 & 1 & 1 & 1 & 0 & 0 & 0 & 0 \\ 1 & 0 & 1 & 0 & 0 & 1 & 0 & 1 \\ 1 & 1 & 0 & 0 & 0 & 0 & 1 & 1 \\ 1 & 0 & 0 & 1 & 0 & 1 & 1 & 0 \end{bmatrix} = \begin{bmatrix} C_0 \\ C_1 \\ C_2 \\ C_3 \\ C_4 \\ C_5 \\ C_6 \\ C_7 \end{bmatrix} \quad \cdots \text{式4}$$

【0009】ところで、従来より、この種の直交符号は、その演算結果を予めROMなどのメモリに記憶させておき、そのメモリから必要に応じて所望の符号を読み出すことにより生成するようにしていた。例えば、アダマール系の直交符号のうち、6番目の階層の行列 H_6 から導かれる符号系列番号 $k=6$ の直交符号の何れかを任意に生成するためには、 $64 (=2^6) \times 64$ ビットのデータを記憶可能なメモリを用意すると共に、そのメモリの0から63までの符号番号に対応する各アドレスに、予め式1の行列式に基づき演算した64個の直交符号 $C_0 \sim C_{63}$ を夫々記憶させておき、そのメモリから必要に応じて任意の直交符号を読み出すこととなる。

【0010】

なり、3番目の階層の行列 H_3 は式4のようなになる。そして、例えば式3において、行列 H_2 の各行が、符号長が4 ($=2^2$) ビットの4つの直交符号 $C_0 \sim C_3$ となり、同様に、式4において、行列 H_3 の各行が、符号長が8 ($=2^3$) ビットの8つの直交符号 $C_0 \sim C_7$ となる。尚、以下の説明において、このようなアダマール行列の行ベクトルとして定義される直交符号を、アダマール系の直交符号といい、また、 k 番目の階層の行列 H_k の各行である符号長が 2^k ビットで 2^k 個の直交符号を、符号系列番号 k の直交符号という。

【0006】

【数2】

$$H_1 = \begin{bmatrix} 1 & 1 \\ 1 & 0 \end{bmatrix} \quad \cdots \text{式2}$$

【0007】

【数3】

【数4】

【発明が解決しようとする課題】よって、従来の技術では、例えば、10番目の階層の行列 H_{10} から導かれる符号系列番号10の直交符号のように、符号長が非常に長い符号を生成する場合には、 $1024 (=2^{10}) \times 1024$ ビットのデータを記憶可能な大きなメモリが必要となる。

【0011】また、5番目の階層の行列 H_5 や6番目の階層の行列 H_6 といった具合に、異なる階層の行列から夫々導かれる任意の符号長の直交符号を生成する場合には、各階層の行列に基づく演算結果を予め別々のメモリに記憶しておく必要があり、更に多くのメモリが必要となる。

【0012】このように、従来の技術では、符号長が非

常に長い直交符号を生成する場合や、任意の符号長の直交符号を生成する場合に、非常に多くのメモリが必要になってしまう。本発明は、こうした問題に鑑みなされたものであり、メモリを必要とせず小規模な回路構成によって任意の直交符号を生成することのできる符号生成器を提供することを目的としている。

【0013】

【課題を解決するための手段、及び発明の効果】上記目的を達成するためになされた本発明の符号生成器は、正論理を表す二値信号と負論理を表す二値信号とを、外部から与えられる出力選択用二値信号に応じて択一的に出力する第1の選択回路と、その第1の選択回路の次段に直列に接続され、入力される二値信号をそのまま出力する非反転出力動作と前記入力される二値信号の論理を反転させて出力する反転出力動作とが、外部から与えられる出力選択用二値信号に応じて切り替えられる $n-1$ 個の第2の選択回路と、第1入力端子及び第2入力端子を有すると共に、前記第1の選択回路及び前記 $n-1$ 個の第2の選択回路からなる n 個の選択回路の各々に対応して設けられた n 個の論理回路とを備えている。

【0014】そして、 n 個の各論理回路は、第1入力端子に入力される出力許可二値信号が出力許可を表す方の論理である場合に、第2入力端子に入力される二値信号を自己に対応する選択回路へ前記出力選択用二値信号として出力し、逆に、第1入力端子に入力される前記出力許可二値信号が出力禁止を表す方の論理である場合には、第2入力端子に入力される二値信号に拘わらず、自己に対応する選択回路へ出力する前記出力選択用二値信号の論理を予め定められた一方の論理に保持する。

【0015】そして更に、本発明の符号生成器では、信号出力手段が、前記 n 個の各論理回路の第2入力端子へ周期的に論理が反転する二値信号を出力するのであるが、この信号出力手段は、 n 個の選択回路のうちで1段目（即ち、第1の選択回路）から数えて x 段目（但し、 x は1から n までの各々の整数）の選択回路に対応する論理回路の第2入力端子へは、クロックに同期し且つそのクロックの周期の 2^{x-1} 倍の時間毎に論理が反転する二値信号を出力する。

【0016】このような本発明の符号生成器において、例えば、符号長が8（ $=2^3$ ）ビットの直交符号を生成する場合には、予め、第1の選択回路の次段に第2の選択回路を2個以上直列に接続して、選択回路の総段数を3段以上に設定しておく。そして、1段目の選択回路（第1の選択回路）から数えて3段目よりも後段の選択回路に夫々対応する各論理回路の第1入力端子へ、出力禁止を表す論理の出力許可二値信号を供給すると共に、1段目から3段目までの選択回路に夫々対応する各論理回路の第1入力端子へ、出力許可と出力禁止との何れかを表す論理の出力許可二値信号を適宜供給すれば、最終段の選択回路から所望の符号を出力させること

ができる。

【0017】具体例を挙げると、例えば、1段目の選択回路に対応する論理回路の第1入力端子のみに、出力許可を表す論理の出力許可二値信号を供給すれば、信号出力手段から各論理回路の第2入力端子へ夫々出力される二値信号のうちで、クロックの1周期毎に論理が反転する二値信号（つまり、信号出力手段から1段目の選択回路に対応する論理回路の第2入力端子へ出力される二値信号であって、クロックの周期の 2^{1-1} 倍の時間毎に論理が反転する二値信号）が、1段目の選択回路に出力選択用二値信号として与えられることとなる。よって、最終段の選択回路からは、クロックの1周期毎に論理が反転する信号が出力され、この結果、最終段の選択回路からは、式4の符号C1のように、1ビット毎に論理が反転する8ビットの符号が繰り返し出力されることとなる。

【0018】また、2段目の選択回路に対応する論理回路の第1入力端子のみに、出力許可を表す論理の出力許可二値信号を供給すれば、信号出力手段から各論理回路の第2入力端子へ夫々出力される二値信号のうちで、クロックの2周期毎に論理が反転する二値信号（つまり、信号出力手段から2段目の選択回路に対応する論理回路の第2入力端子へ出力される二値信号であって、クロックの周期の 2^{2-1} 倍の時間毎に論理が反転する二値信号）が、2段目の選択回路に出力選択用二値信号として与えられることとなる。よって、最終段の選択回路からは、クロックの2周期毎に論理が反転する信号が出力され、この結果、最終段の選択回路からは、式4の符号C2のように、2ビット毎に論理が反転する8ビットの符号が繰り返し出力されることとなる。

【0019】また更に、1段目の選択回路と2段目の選択回路とに夫々対応する論理回路の第1入力端子に、出力許可を表す論理の出力許可二値信号を供給すれば、信号出力手段から各論理回路の第2入力端子へ夫々出力される二値信号のうちで、クロックの1周期毎に論理が反転する二値信号が1段目の選択回路に出力選択用二値信号として与えられると共に、クロックの2周期毎に論理が反転する二値信号が2段目の選択回路に出力選択用二値信号として与えられることとなる。よって、最終段の選択回路からは、クロックの1周期毎に論理が反転する信号を更にクロックの2周期毎に論理反転させた信号が出力され、この結果、最終段の選択回路からは、式4の符号C3のように、1ビット毎に論理が反転する符号を更に2ビット毎に論理反転させた8ビットの符号が繰り返し出力されることとなる。

【0020】一方また、2段目の選択回路と3段目の選択回路とに夫々対応する論理回路の第1入力端子に、出力許可を表す論理の出力許可二値信号を供給すれば、信号出力手段から各論理回路の第2入力端子へ夫々出力される二値信号のうちで、クロックの2周期毎に論理が

反転する二値信号が2段目の選択回路に出力選択用二値信号として与えられると共に、クロックの4周期毎に論理が反転する二値信号（つまり、信号出力手段から3段目の選択回路に対応する論理回路の第2入力端子へ出力される二値信号であって、クロックの周期の 2^{3-1} 倍の時間毎に論理が反転する二値信号）が3段目の選択回路に出力選択用二値信号として与えられることとなる。よって、最終段の選択回路からは、クロックの2周期毎に論理が反転する信号を更にクロックの4周期毎に論理反転させた信号が出力され、この結果、最終段の選択回路からは、式4の符号C6のように、2ビット毎に論理が反転する符号を更に4ビット毎に論理反転させた8ビットの符号が繰り返し出力されることとなる。

【0021】そして、このようにして、1段目から3段目までの選択回路に対応する各論理回路の第1入力端子へ供給する出力許可用二値信号の論理を変えることにより、8ビットの符号を8（ $=2^3$ ）種類生成できるが、その8種類の符号は、そのうちの任意の2つが直交している直交符号となる。

【0022】このように、本発明の符号生成器によれば、生成すべき符号に応じて、各論理回路の第1入力端子へ、出力許可と出力禁止との何れかを表す論理の出力許可用二値信号を供給することにより、n個の選択回路のうちの最終段の選択回路から、所望の符号長を有する所望の直交符号を出力させることができる。そして、例えば符号長が1024（ $=2^{10}$ ）ビットといった長い直交符号であっても、選択回路を少なくとも10段直列に接続しておくことにより、その1024ビットの直交符号のうちの任意の符号を生成することができ、しかも、選択回路を10段直列に接続した場合には、1024ビット以下の任意の符号長の直交符号を生成することができる。よって、本発明の符号生成器によれば、メモリを必要とせず、小規模な回路構成によって任意の直交符号が生成可能となる。

【0023】ところで、信号出力手段としては、請求項2に記載のように、クロックに同期して0から 2^n-1 までを繰り返しカウントし、そのカウント値を表すnビットの出力信号の各ビットを、前記各論理回路の第2入力端子へ、1段目の選択回路に対応する論理回路からの順に供給する2ⁿ進カウンタを用いることができる。そして、このような2ⁿ進カウンタを用いれば、信号出力手段を簡単に構成することができ、延いては、当該符号生成器の回路構成が簡単になる。

【0024】また、第2の選択回路は、請求項3に記載のように、入力される二値信号の論理を反転させるインバータと、前記入力される二値信号と前記インバータの出力との何れか一方を出力選択用二値信号に応じて択一的に出力するセレクタとから構成することができる。そして、この構成によれば、セレクタが、入力される二値信号の方を選択して出力する場合に、非反転出力動作が

実現され、セレクタが、インバータの出力の方を選択して出力した場合に、反転出力動作が実現される。

【0025】一方、第1の選択回路としては、例えば、請求項3に記載の第2の選択回路と同じ構成の回路を用いることができる。つまり、請求項3に記載の第2の選択回路と同じ構成の回路を1段目に配置すると共に、その回路に予め正論理或いは負論理を表す二値信号を入力しておくことにより、第1の選択回路の動作を実現することができる。しかし、この場合には、インバータが必要となる。

【0026】そこで、第1の選択回路として、請求項4に記載のように、2つの入力端子のうちの一方の入力端子が正論理を表す第1の電圧に接続されると共に、他方の入力端子が負論理を表す第2の電圧に接続され、前記第1の電圧と前記第2の電圧との何れか一方を出力選択用二値信号に応じて択一的に出力する切替回路を用いれば、インバータが不要となり回路構成が簡単になる。つまり、請求項3に記載の第2の選択回路に備えられたセレクタと同様の切替回路のみで、第1の選択回路を構成することができる。

【0027】また、論理回路として、請求項6に記載のように、第1入力端子と第2入力端子とに夫々入力される両信号の論理積信号を、出力選択用二値信号として出力する論理積回路（アンドゲート）を用いれば、回路構成が非常に簡単になる。尚、論理回路として論理積回路を用いた場合、出力許可用二値信号の論理としては、論理“1”（ハイレベル）が出力許可を表す方の論理となり、論理“0”（ロウレベル）が出力禁止を表す方の論理となる。つまり、論理回路としての論理積回路は、第1入力端子に入力される出力許可用二値信号が論理“1”である場合に、第2入力端子に入力される二値信号を自己に対応する選択回路へそのまま出力選択用二値信号として出力し、逆に、出力許可用二値信号が論理“0”である場合には、自己に対応する選択回路へ出力する出力選択用二値信号の論理を論理“0”に保持することとなる。

【0028】次に、請求項5に記載の符号生成器では、演算回路を追加して備えており、その演算回路は、生成すべき符号のビット数を特定する第1情報と、前記生成すべき符号におけるビットの並びを特定する第2情報とを入力して、その第1情報と第2情報とに基づき、前記各論理回路の第1入力端子へ出力許可用二値信号を供給する。そして、このような符号生成器によれば、演算回路へ前記第1情報と第2情報とを入力するだけで、所望の符号長（ビット数）の所望の直交符号を出力することができる。

【0029】特に、論理回路として論理積回路を用いた場合、演算回路は請求項7に記載の如く構成することができる。即ち、演算回路は、前記第1情報として、生成すべき符号のビット数を 2^k （但し、kは1からnまで

の整数)で表した場合の整数 k を入力すると共に、前記第2情報として、0から 2^m-1 までの何れかの整数である符号番号を入力し、更に、前記符号番号から予め定められた規則に基づき k ビットのデータを生成すると共に、その k ビットのデータの上位ビット側に全ビットが0である $n-k$ ビットのデータを連結することにより、生成すべき符号に対応した n ビットのデジタルデータを発生させ、その n ビットのデジタルデータの各ビットを、前記各論理回路の第1入力端子へ、前記1段目の選択回路に対応する論理回路からの順に供給するよう構成することができる。

【0030】尚、演算回路は、入力した符号番号を表すデータを、上記 k ビットのデータとして生成するように構成することができる。また例えば、演算回路は、入力した符号番号を表すデータの上位ビットと下位ビットを反対に並べたデータを、上記 k ビットのデータとして生成するように構成することもできる。

【0031】

【発明の実施の形態】以下、本発明の一実施形態について、図面を用いて説明する。まず図1は、第1実施形態の符号生成器1の構成を表す回路図である。図1に示すように、本第1実施形態の符号生成器1は、正論理“1”を表す二値信号(本実施形態ではハイレベルとしての5Vの信号)と負論理“0”を表す二値信号(本実施形態ではロウレベルとしての0Vの信号)とを、外部から与えられる出力選択用二値信号 S_1 に応じて択一的に出力する第1の選択回路3-1と、その第1の選択回路3-1の次段に直列に接続され、入力される二値信号をそのまま出力する非反転出力動作と前記入力される二値信号の論理を反転させて出力する反転出力動作とが、外部から与えられる出力選択用二値信号 $S_2 \sim S_n$ に応じて切り替えられる $n-1$ 個の第2の選択回路3-2 \sim 3- n とからなる符号出力回路5を備えている。

【0032】尚、第2の選択回路3-2 \sim 3- n の数は適宜決定すれば良いが、例えば第2の選択回路3-2 \sim 3- n の数を9個とすると、上記 n は10となり、符号出力回路5は、第1の選択回路3-1と9個の第2の選択回路3-2 \sim 3-10とからなる10個の選択回路3-1 \sim 3-10によって構成されることとなる。

【0033】ここで、第1の選択回路3-1は、2つの入力端子のうち一方の入力端子が正論理“1”を表す5Vの電源電圧(第1の電圧に相当)に接続されると共に、他方の入力端子が負論理“0”を表す0Vの接地電位(第2の電圧に相当)に接続され、正論理“1”を表す5Vと負論理“0”を表す0Vとの何れか一方を、上記出力選択用二値信号 S_1 に応じて択一的に出力するセクタ(切替回路に相当)7から構成されている。そして、本実施形態において、セクタ7は、上記出力選択用二値信号 S_1 が論理“0”(ロウレベル)の場合に5Vの方を選択して出力端子から出力し、逆に、上記出力

選択用二値信号 S_1 が論理“1”(ハイレベル)の場合に0Vの方を選択して出力端子から出力する。

【0034】また、第2の選択回路3-2 \sim 3- n の各々は、入力される二値信号の論理を反転させるインバータ9と、インバータ9に入力される二値信号とインバータ9の出力との何れか一方を上記出力選択用二値信号 $S_2 \sim S_n$ に応じて択一的に出力するセクタ1.1とから構成されている。そして、本実施形態において、各第2の選択回路3-2 \sim 3- n では、出力選択用二値信号 $S_2 \sim S_n$ が論理“0”(ロウレベル)の場合に、セクタ1.1がインバータ9に入力される二値信号の方を選択して出力端子から出力することにより、非反転出力動作が実現され、逆に、出力選択用二値信号 $S_2 \sim S_n$ が論理“1”の場合に、セクタ1.1がインバータ9の出力の方を選択して出力端子から出力することにより、反転出力動作が実現される。

【0035】尚、第1の選択回路3-1を成すセクタ7と、第2の選択回路3-2 \sim 3- n を構成するセクタ1.1とはハードウェア的に同じものである。一方更に、本第1実施形態の符号生成器1は、符号出力回路5を構成する n 個の選択回路3-1 \sim 3- n の各々に対応して設けられ、2つの入力端子に夫々入力される二値信号の論理積信号を、自己に対応する選択回路3-1 \sim 3- n へ上記出力選択用二値信号 $S_1 \sim S_n$ として出力する n 個のアンドゲート(本発明の論理回路に相当する論理積回路)13-1 \sim 13- n と、クロックに同期して0から 2^m-1 までを繰り返しカウントし、そのカウント値を表す n ビットの出力信号の各ビット $b_1 \sim b_n$ を、上記各アンドゲート13-1 \sim 13- n の一方の入力端子(図1において右側の入力端子であり、以下、第2入力端子という)へ、1段目の選択回路3-1に対応するアンドゲート13-1からの順に供給する信号出力手段としての2進カウンタ(以下単に、カウンタという)1.5とを備えている。

【0036】このため、 n 個の選択回路3-1 \sim 3- n のうちで1段目から数えて x 段目(但し、 x は1から n までの各々の整数)の選択回路3- x に対応するアンドゲート13- x の第2入力端子へは、クロックに同期し且つそのクロックの周期の 2^{m-1} 倍の時間毎に論理が反転する二値信号が上記カウンタ1.5から出力されることとなる。

【0037】そして、本第1実施形態の符号生成器1は、図示しないCPU等から出力される第1情報としての符号系列番号 k と第2情報としての符号番号 c とのうちで、符号系列番号 k の方を記憶する第1レジスタ17及び上記符号番号 c の方を記憶する第2レジスタ19と、その両レジスタ17、19に記憶された符号系列番号 k と符号番号 c とに基づき n ビットのデジタルデータを発生させ、その n ビットのデジタルデータの各ビット $m_1 \sim m_n$ を、各アンドゲート13-1 \sim 13- n の2つの入力端子のうちで上記第2入力端子とは異なる方の入力端子(図1において左側の入力端子であり、以下、第1

入力端子という)へ、出力許可用二値信号として、1段目の選択回路3-1に対応するアンドゲート13-1からの順に供給する演算回路21とを備えている。

【0038】ここで、第1レジスタ17に記憶される符号系列番号 k は、1から n までの任意の整数であり、当該符号生成器1によって生成すべき符号のビット数を 2^k で表した場合の整数 k である。そして、この符号系列番号 k により、当該符号生成器1で生成される符号のビット数が特定される。

【0039】また、第2レジスタ19に記憶される符号番号 c は、0から $2^k - 1$ までの何れかの整数であり、符号長が 2^k ビットで 2^k 個の直交符号のうちで何れの符号を生成すべきか(即ち、どのようなビットの並びの符号を生成すべきか)を特定するための情報である。よって、例えば符号系列番号 k が3($k=3$)である場合、符号番号 c としては、0から7($=2^3 - 1$)までの何れかの整数が設定可能である。

【0040】そして、演算回路21は、第1レジスタ17に記憶された符号系列番号 k と第2レジスタ19に記憶された符号番号 c とを入力して、その符号番号 c を表す k ビットのデータを生成すると共に、その k ビットのデータの上位ビット側に全ビットが“0”である $n-k$ ビットのデータを連結することにより、当該符号生成器1で生成すべき符号に対応した n ビットのデジタルデータを発生させ、その n ビットのデジタルデータの各ビット $m1 \sim mn$ を、各アンドゲート13-1 \sim 13- n の上記第1入力端子へ供給する。

【0041】次に、以上のように構成された符号生成器1の作用について、具体例を挙げて説明する。尚、ここでは、上記 n が10である場合、即ち、符号出力回路5が、第1の選択回路3-1と9個の第2の選択回路3-2 \sim 3-10とからなる10個の選択回路3-1 \sim 3-10によって構成されていると共に、10個のアンドゲート13-1 \sim 13-10が設けられ、更に、カウンタ15が0から1023までを繰り返しカウントする2¹⁰進カウンタであるものとする。

【0042】例えば、符号長が8($=2^3$)ビットの任意の直交符号を生成したい場合には、第1レジスタ17に符号系列番号 k として3($k=3$)を記憶させると共に、第2レジスタ19に0から7までの任意の整数を符号番号 c として記憶させれば良い。

【0043】ここで仮に、第2レジスタ19に記憶させた符号番号 c が3($c=3$)である場合には、演算回路21から各アンドゲート13-1 \sim 13-10の第1入力端子に出力される n ビット(この例では $n=10$ ビット)のデジタルデータの各ビット $m1 \sim m10$ が、下位ビットから順に、 $m1=1$, $m2=1$, $m3=0$, $m4 \sim m10=0$ となり、その結果、各アンドゲート13-1 \sim 13-10のうちで、1段目の選択回路3-1と2段目の選択回路3-2とに夫々対応するアンドゲート13-1, 13-2の第

1入力端子にのみ、出力許可を表す論理“1”の信号が入力され、それ以外のアンドゲート13-3 \sim 13-10の第1入力端子には、出力禁止を表す論理“0”の信号が入力されることとなる。

【0044】このため、カウンタ15から出力される10ビットの出力信号の各ビット $b1 \sim b10$ のうちで、クロックの1周期毎に論理が反転する1ビット目 $b1$ がアンドゲート13-1を介し1段目の選択回路3-1(即ち、セクタ7)に出力選択用二値信号 $S1$ として与えられると共に、クロックの2周期毎に論理が反転する2ビット目 $b2$ がアンドゲート13-2を介し2段目の選択回路3-2(詳しくは、そのセクタ11)に出力選択用二値信号 $S2$ として与えられる。そして、1段目と2段目以外の各選択回路3-3 \sim 3-10には、アンドゲート13-3 \sim 13-10の各々から、論理“0”に保持された出力選択用二値信号 $S3 \sim S10$ が与えられることとなる。

【0045】よって、この場合には、符号出力回路5における最終段の選択回路3-10から、クロックの1周期毎に論理が反転する信号を更にクロックの2周期毎に論理反転させた信号が出力され、その結果、最終段の選択回路3-10からは、式4に示したアダマール系の符号長が8ビットで8個の直交符号 $C0 \sim C7$ のうちで、符号番号3に対応した符号 $C3$ である「10011001」が繰り返し出力されることとなる。

【0046】また仮に、第2レジスタ19に記憶させた符号番号 c が6($c=6$)である場合には、演算回路21から各アンドゲート13-1 \sim 13-10の第1入力端子に出力される10ビットのデジタルデータの各ビット $m1 \sim m10$ が、下位ビットから順に、 $m1=0$, $m2=1$, $m3=1$, $m4 \sim m10=0$ となり、その結果、各アンドゲート13-1 \sim 13-10のうちで、2段目の選択回路3-2と3段目の選択回路3-3とに夫々対応するアンドゲート13-2, 13-3の第1入力端子にのみ、出力許可を表す論理“1”の信号が入力され、それ以外のアンドゲート13-1, 13-4 \sim 13-10の第1入力端子には、出力禁止を表す論理“0”の信号が入力されることとなる。

【0047】このため、カウンタ15から出力される10ビットの出力信号の各ビット $b1 \sim b10$ のうちで、クロックの2周期毎に論理が反転する2ビット目 $b2$ がアンドゲート13-2を介し2段目の選択回路3-2に出力選択用二値信号 $S2$ として与えられると共に、クロックの4周期毎に論理が反転する3ビット目 $b3$ がアンドゲート13-3を介し3段目の選択回路3-3に出力選択用二値信号 $S3$ として与えられる。そして、2段目と3段目以外の各選択回路3-1, 3-4 \sim 3-10には、アンドゲート13-1, 13-4 \sim 13-10の各々から、論理“0”に保持された出力選択用二値信号 $S1$, $S4 \sim S10$ が与えられることとなる。

【0048】よって、この場合には、符号出力回路5に

おける最終段の選択回路3-10から、クロックの2周期毎に論理が反転する信号を更にクロックの4周期毎に論理反転させた信号が出力され、その結果、最終段の選択回路3-10からは、式4に示したアダマル系¹の符号長が8ビットで8個の直交符号C0～C7のうちで、符号番号6に対応した符号C6である「11000011」が繰り返し出力されることとなる。

【0049】そして、同様の動作により、第2レジスタ19に記憶させる符号番号 c を1($c=1$)にすれば、式4に示したアダマル系¹の直交符号C0～C7のうちで、符号番号1に対応した符号C1である「10101010」が最終段の選択回路3-10から繰り返し出力され、符号番号 c を2($c=2$)にすれば、式4に示した直交符号C0～C7のうちで、符号番号2に対応した符号C2である「11001100」が上記選択回路3-10から繰り返し出力される。また、符号番号 c を4($c=4$)にすれば、式4に示した直交符号C0～C7のうちで、符号番号4に対応した符号C4である「11110000」が上記選択回路3-10から繰り返し出力され、符号番号 c を5($c=5$)にすれば、式4に示した直交符号C0～C7のうちで、符号番号5に対応した符号C5である「10100101」が上記選択回路3-10から繰り返し出力される。また更に、符号番号 c を7($c=7$)にすれば、式4に示した直交符号C0～C7のうちで、符号番号7に対応した符号C7である「10010110」が上記選択回路3-10から繰り返し出力され、符号番号 c を0($c=0$)にすれば、式4に示した直交符号C0～C7のうちで、符号番号0に対応した符号C0である「11111111」が上記選択回路3-10から繰り返し出力される。

【0050】また例えば、符号長が4($=2^2$)ビットの任意の直交符号を生成したい場合には、第1レジスタ17に符号系列番号 k として2($k=2$)を記憶させると共に、第2レジスタ19に0から3までの任意の整数を符号番号 c として記憶させれば良い。そして、例えば第2レジスタ19に記憶させる符号番号 c を3($c=3$)にすれば、式3に示したアダマル系¹の符号長が4ビットで4個の直交符号C0～C3のうちで、符号番号3に対応した符号C3である「1001」が最終段の選択回路3-10から繰り返し出力されることとなる。

【0051】このように本第1実施形態の符号生成器1によれば、演算回路21～第1レジスタ17及び第2レジスタ19を介して、符号系列番号 k と符号番号 c とを入力するだけで、その符号系列番号 k と符号番号 c とに対応したアダマル系¹の所望の符号長(ビット数)を有する所望の直交符号を生成して出力することができる。

【0052】そして、例えば符号長が1024($=2^{10}$)ビットといった非常に長い直交符号であっても、符号出力回路5を少なくとも10個の選択回路3-1～3-10によって構成することにより(つまり、選択回路を

少なくとも10段直列に接続しておくことにより)、その1024ビットの直交符号のうちの任意の符号を生成することができ、しかも、その場合には、1024ビット以下の任意の符号長の直交符号を生成することができる。よって、本第1実施形態の符号生成器1によれば、メモリを必要とせず、小規模な回路構成によって任意の符号長の任意の直交符号を生成可能となる。

【0053】ところで、上記第1実施形態の符号生成器1は、アダマル系¹の直交符号を生成して出力するものであったが、次に、アダマル系¹の直交符号以外の直交符号を生成する第2実施形態の符号生成器23について説明する。まず図2は、第2実施形態の符号生成器23の構成を表す回路図である。

【0054】図2に示すように、本第2実施形態の符号生成器23は、前述した第1実施形態の符号生成器1と比較して、演算回路25だけが異なっており、その他の構成については同じである。そして、この第2実施形態の符号生成器23に設けられた演算回路25は、第1レジスタ17に記憶された符号系列番号 k と第2レジスタ19に記憶された符号番号 c とを入力して、その符号番号 c を表す k ビットのデータの上位ビットと下位ビットを反対に並べた k ビットのデータを生成すると共に、その k ビットのデータの上位ビット側に全ビットが“0”である $n-k$ ビットのデータを連結することにより、 n ビットのデジタルデータを発生させ、その n ビットのデジタルデータの各ビット $m1 \sim mn$ を、各アンドゲート13-1～13- n の第1入力端子(図2において左側の入力端子)へ供給する。

【0055】このため、本第2実施形態の符号生成器23において、例えば、第1レジスタ17に符号系列番号 k として3($k=3$)を記憶させた場合(即ち、符号長が8ビットの直交符号を生成する場合)に、第2レジスタ19に記憶させる符号番号 c を3($c=3$)にすれば、演算回路25から各アンドゲート13-1～13- n の第1入力端子に出力される n ビットのデジタルデータの各ビット $m1 \sim mn$ は、下位ビットから順に、 $m1=0$ 、 $m2=1$ 、 $m3=1$ 、 $m4 \sim mn=0$ となり、その結果、最終段の選択回路3- n からは、符号番号 $c=3$ に対応する符号C3として、符号長が8ビットの「11000011」が繰り返し出力されることとなる。つまり、この場合には、第1実施形態の符号生成器1において第1レジスタ17に符号系列番号 k として3($k=3$)を記憶させると共に、第2レジスタ19に符号番号 c として6($c=6$)を記憶させた場合と同じ符号(即ち、式4の符号C6)が、符号番号 $c=3$ に対応する符号C3として出力されることとなる。

【0056】そして同様に、本第2実施形態の符号生成器23において、例えば、第1レジスタ17に符号系列番号 k として3($k=3$)を記憶させた場合に、第2レジスタ19に記憶させる符号番号 c を1($c=1$)にす

れば、最終段の選択回路3-nからは、その符号番号c=1に対応する符号C1として、式4の符号C4と同じ符号(「11110000」)が繰り返し出力され、また、符号番号cを4(c=4)にすれば、最終段の選択回路3-nからは、その符号番号c=4に対応する符号C4として、式4の符号C1と同じ符号(「10101010」)が繰り返し出力されることとなる。また更に、符号番号cを6(c=6)にすれば、最終段の選択回路3-nからは、その符号番号c=6に対応する符号C6として、式4の符号C3と同じ符号(「1001100

1」)が繰り返し出力されることとなる。尚、第2レジスタ19に記憶させる符号番号cを0, 2, 5, 7の何れかにした場合には、第1実施形態の符号生成器1と同じ符号が出力されることとなる。つまり、本第2実施形態の符号生成器23において、例えば符号長が8ビットの直交符号を生成する場合には、第2レジスタ19に記憶させる符号番号cと最終段の選択回路3-nから出力される符号Ccとの対応関係が下記の式5のようになる。

【0057】

【数5】

$$H_3 = \begin{bmatrix} 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 \\ 1 & 1 & 1 & 1 & 0 & 0 & 0 & 0 \\ 1 & 1 & 0 & 0 & 1 & 1 & 0 & 0 \\ 1 & 1 & 0 & 0 & 0 & 0 & 1 & 1 \\ 1 & 0 & 1 & 0 & 1 & 0 & 1 & 0 \\ 1 & 0 & 1 & 0 & 0 & 1 & 0 & 1 \\ 1 & 0 & 0 & 1 & 1 & 0 & 0 & 1 \\ 1 & 0 & 0 & 1 & 0 & 1 & 1 & 0 \end{bmatrix} = \begin{bmatrix} C_0 \\ C_1 \\ C_2 \\ C_3 \\ C_4 \\ C_5 \\ C_6 \\ C_7 \end{bmatrix} \quad \cdots \text{式5}$$

【0058】そして、このような第2実施形態の符号生成器23によっても、第1実施形態の符号生成器1と同様に、メモリを必要とせず、小規模な回路構成によって任意の符号長の任意の直交符号を生成することができる。以上、本発明の一実施形態について説明したが、本発明は、前述した各実施形態に限定されるものではなく、種々の形態を採り得ることは言うまでもない。

【0059】例えば、上記各実施形態の符号生成器1, 23において、図1及び図2に示した符号出力回路5の代わりに、図3に示す符号出力回路27を用いても良い。つまり、この符号出力回路27では、1段目の選択回路(第1の選択回路)3-1として、他の選択回路(第2の選択回路)3-2~3-nと同じ構成のものを用い、その1段目の選択回路3-1に予め正論理“1”に対応する5Vの電源電圧を入力するようにしている。そして、このようにすれば、全ての選択回路3-1~3-nの構成を共通化できるという面で有利である。但し、第1及び第2実施形態の符号出力回路5のように、1段目の選択回路3-1をセクタ7だけで構成する方が、インバータ9を1個削減できるという利点がある。

【0060】一方、上記第1及び第2実施形態の符号生成器1, 23において、1段目の選択回路(第1の選択回路)3-1をセクタ7の2つの入力端子が接続される電源電圧(5V)と接地電位(0V)とを逆にすれば、式3~式5に例示した各符号に対して“1”と“0”とが反対になった符号を生成することができる。そして、このことは、図3に示す符号出力回路27において、1段目の選択回路3-1に予め0Vを入力するようにした場合にも同様である。

【0061】また、上記第1及び第2実施形態の符号生

成器1, 23において、1段目の選択回路3-1は、アンドゲート13-1からの出力選択用二値信号S1が論理“0”の場合に5Vの方を出力し、また、2段目以降の各選択回路(第2に選択回路)3-2~3-nは、アンドゲート13-2~13-nからの出力選択用二値信号S2~Snが論理“0”の場合に非反転出力動作を行うように構成されていたが、それら選択回路3-1~3-nの動作を逆に設定しても良い。

【0062】一方また、上記第1及び第2実施形態の符号生成器1, 23において、カウンタ15から各アンドゲート13-1~13-nの第2入力端子へ出力される各ビットb1~bnのうちの何れかの位相を、クロックの整数倍だけずらすようにしても良い。そして、このようにすれば、生成される符号を第1及び第2実施形態の場合とは異なったものにすることができる。

【図面の簡単な説明】

【図1】 第1実施形態の符号生成器の構成を表す回路図である。

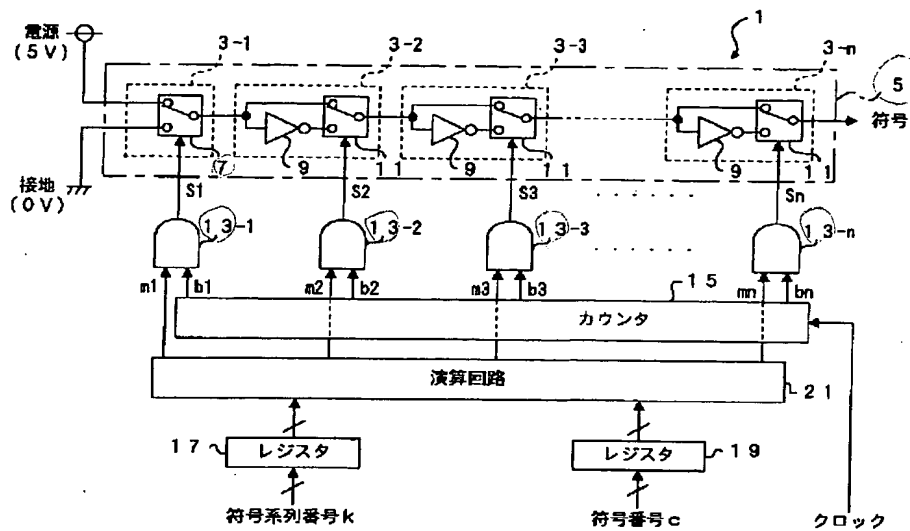
【図2】 第2実施形態の符号生成器の構成を表す回路図である。

【図3】 符号出力回路の変形例を表す回路図である。

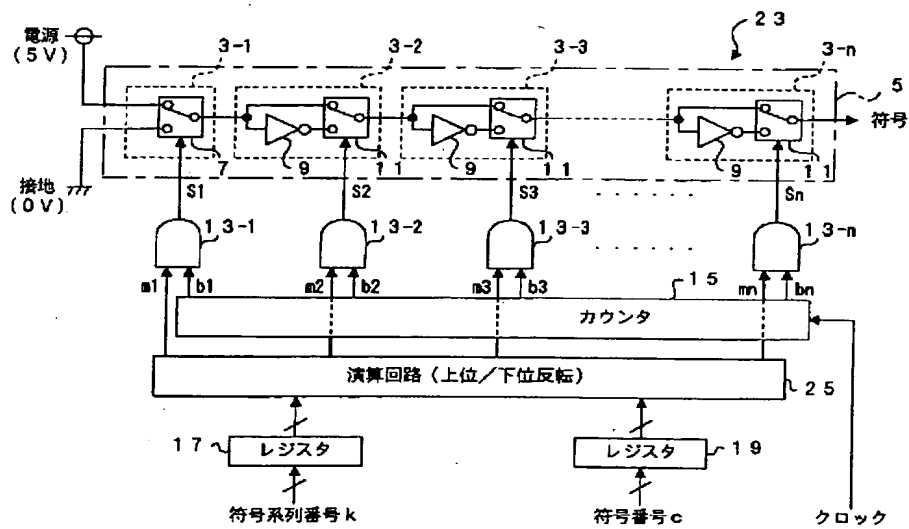
【符号の説明】

1, 23…符号生成器 3-1…第1の選択回路
3-2~3-n…第2の選択回路 5, 27…符号出力回路
7, 11…セクタ 9…インバータ 13-1~13-n…アンドゲート
15…カウンタ 17…第1レジスタ 19…第2レジスタ
21, 25…演算回路

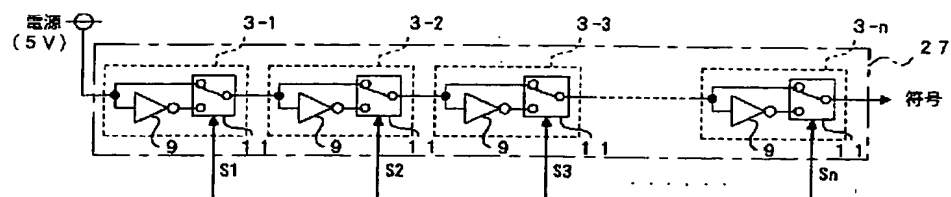
【図 1】



【図 2】



【図 3】



フロントページの続き

(72)発明者 伊藤 隆文
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72)発明者 服部 敏弘
愛知県西尾市下羽角町岩谷14番地 株式会
社日本自動車部品総合研究所内
Fターム(参考) 5B022 BA05 CA09 DA02 FA03
5K022 EE02 EE25